

(54) MOS TYPE CAPACITOR

(11) 56-153778 (A) (43) 27.11.1981 (19) JP

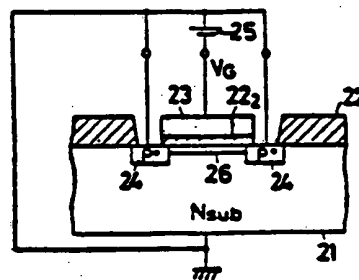
(21) Appl. No. 55-57517 (22) 30.4.1980

(71) TOKYO SHIBAURA DENKI K.K. (72) HIROFUMI YASHIRO

(51) Int. Cl. H01L29/94

PURPOSE: To form capacity which does not depend upon voltage without increasing processes by forming a capacitor between an electrode on an oxide film being formed on a substrate and a channel region being formed by the application of voltage to the electrode.

CONSTITUTION: A thin oxide film 22, is formed on an N type Si substrate 21 together with a gate oxide film, an electrode 23 is built on the film 22, and P⁺ layers 24, 24 are formed on the substrate 21 by means of diffusion. The layers 24, 24 are connected in common, and grounding voltage is applied. When negative voltage V_g is applied to the electrode 23, a P channel section 26 is made up on the surface of an N layer just under the electrode 23, is connected to the layers 24 and functions as one electrode. The capacity of a depletion layer is not generated according to this phenomenon, and only parallel plate capacity held between the electrode 23 and the channel section 26, electrode capacity which does not depend upon the variation of voltage, is obtained as MOS capacity. Since the capacitor is the same as an MOSFET in shape, it can be formed at the same time as the MOSFET, and the number of manufacturing processes needs not be increased.



257/532

19 日本国特許庁 (JP)

12 公開特許公報 (A)

11 特許出願公開

昭56-153778

SI Int. Cl.³
H 01 L 29/94

識別記号

庁内整理番号
7357-5F

43 公開 昭和56年(1981)11月27日

発明の数 1
審査請求 未請求

(全 4 頁)

8 MOS型コンデンサ

①特 願 昭55-57517
②出 願 昭55(1980)4月30日
③発 明 者 矢代廣文
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジスタ工場内
④出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町2番地
⑤代 理 人 弁理士 鈴江武彦 外2名

明 細 書

発明の名称

MOS型コンデンサ

特許請求の範囲

第1電極半導体基体と、該基体上に絶縁膜を介して設けられた電極と、該電極の直下に形成されるチャネル領域の少なくとも両端に設けられた第2電極領域と、前記チャネル領域両端の各第2電極領域に同一電圧を印加する手段とを具備し、前記電極と該電極への電圧印加で形成される前記チャネル領域との間でコンデンサを形成することを特徴とするMOS型コンデンサ。

発明の詳細な説明

本発明は電極と半導体間にコンデンサを形成するMOS型コンデンサに関するものである。

一般にMOS型構造は、ゲート絶縁膜上に設けた金属膜(または多結晶シリコン)を電極とし、これと半導体基体との間に電圧を印加して使用するものである。従つてこの構造は基本的

にコンデンサであり、片方の電極は半導体(結晶シリコン基板)になっている。この考えを用いて、本明のMOS構造でコンデンサを成すると、第1図のようになる。この場において1はN型シリコン基板、2はSiO₂膜(酸化)は電極(例えばポリシリコン)、4は金属膜である。

しかして第1図の如きMOS構造の全容量は

$$C = \frac{\epsilon Q_0}{dV_0}$$

で表わされ、 $\epsilon Q_0 = \epsilon Q_0$ が成り立つ。ここで V_0 は電極1の電圧、 Q_0 は電極1側の電荷、 C は基板10の容量係数である。また

$$V_0 = \frac{-Q_0}{C_0} + \phi_0$$

$$C_0 = \frac{\epsilon_{ox} \cdot E_0}{T_{ox}}$$

ここで C_0 は電極部の酸化膜容量、 ϵ_{ox} は膜の比誘電率、 E_0 は真空中の誘電率、 T_{ox} は電極部の酸化膜厚、 ϕ_0 はシリコン基板にかゝ

電圧（表面電位）である。上式より dV_0 は、

$$dV_0 = \frac{-dQ_s}{C_0} + d\phi_s$$

これより

$$C = \frac{-dQ_s}{-dQ_s/C_0 + d\phi_s} = \frac{1}{1/C_0 - d\phi_s/dQ_s}$$

電荷領域のシリコン誘電率 C_s は、

$$C_s = \frac{dQ_s}{d\phi_s} = \frac{E_{s1} \cdot E_0}{X_d}$$

$$X_d = \sqrt{\frac{2E_{s1} \cdot E_0 \cdot |N_A|}{qN_D}}$$

ここで E_{s1} はシリコンの表面電場、 X_d は空乏層の厚みである。従つて MOS 構造の容量率は式となる。

$$C = \frac{1}{1/C_0 + 1/C_s}$$

$$\therefore \frac{1}{C} = \frac{1}{C_0} + \frac{1}{C_s}$$

これは MOS 容量が C_0 、 C_s の並列容量であること

3

する。図3図において1はN型シリコン基板、2はフィールドSiO₂膜（酸化膜）、3は例えばMOSトランジスタのゲート酸化膜と一層に形成された薄い酸化膜、4は電極（例えばポリシリコン）で、この電極4は、シリコンゲートMOSアークで形成する際に一緒に形成される。5、6は電極4に接続して形成されたP⁺層、7は電極電極である。

この構成でなるMOSコンデンサは、形状的には通常のMOSトランジスタと同様であるが、これと異なるのは電気的構造である。図4 P⁺層5、6相互間を共通に接続し、図5 P⁺層5、6に接地電圧を印加している。図6図4はこのP⁺層の部分を示すベークン平面図であるが、これらP⁺層を同じ接地電位に保持するには、図6図例に示すように例えば一層のP⁺層でつながった構造としてもよい。従つて電極4に負電圧 V_0 を印加すると、電極4の下にN型表面に反転層つまりPチャネル層5が形成され、これはP⁺層5とつながつて一方向

5

とを示している。

11556-15377511

ここで問題となるのが空乏層容量 C_s である。これは式より明らかのように、電極4に印加された電圧に依存して変化する。ところで容量を設計する場合、電圧依存性のあるものを設計しにくい。この問題があるため、電圧依存性のMOS容量を形成する場合、図7図2図に示すようにイオン・インプラントシリコン工程を追加して、前記空乏層の効果をいっていた。図2図において1は前記イオン・インプラントシリコンで形成されたN層で、これはN型基板1より高濃度である。しかし2図の方法は、マスクを用いてイオン注入を1層から工程増となり、コスト面で非常に不利である。

そこで本発明の目的とするところは、前記1層のように工程が増加することなく、非電圧依存容量を形成することが出来るMOSコンデンサを提供しようとするものである。

以下図面を参照して本発明の一実施例を説明

6

する。この図面により、前記図例で説明した如き空乏層容量 C_s は生じなくなり、MOS容量は電極4とチャネル層5で形成された平行平板容量、つまり電圧変動に依存しない電極容量 C_0 （平板容量）のみが得られるものである。また図3図のMOSコンデンサは、チャネル層5に図2図の如きイオン注入を行なう必要がないし、形状的にはMOSトランジスタと同じであるからこれと同時に形成でき、従つてコンデンサを得るために工程数を増加する必要は無いものである。

図8図は本発明の他の実施例で、N型基板1のP-well 領域3上にNチャネルを形成する場合の例である。この場合はP-well 領域3上にコンデンサを形成するための、半導体領域の導電率が低くなり、電極4に正電圧を印加してNチャネル層3を形成する。またN⁺領域3'に負電圧を、P-well 領域3にP⁺領域3'を介して負電圧をそれぞれ印加する。その効果及び作用効果は前記図例と対応して考

6

る。
となるのが寄生容量 C_p である。
り明らかなように、電圧間に即加
依存して変化する。ところでMOS
る場合、電圧依存性のあるものは
にくい。この問題があるため、非
MOS容量を形成する場合、従来
すようにイオン・インプランタ
追加して、前記寄生容量の影響を防
2図において11は前記イオン・
ンションで形成されたN層で、
後1より高濃度である。しかし、
、マスクを用いてイオン注入を行
増となり、コスト面で非常に不利

明の目的とするところは、前記の
増加することなく、非電圧依存性
ることができるMOS型コンデン
うとするものである。
参照して本発明の一実施例を説明

この現象により、前記従来例で
寄生容量 C_p は生じなくなり、MOS
とチャネル層25で囲まれた平
つまり電圧変動に依存しない電圧
容量)のみが得られるものである。
MOS型コンデンサは、チャネル
2図の如きイオン注入を行なう
形状的にはMOSトランジスタと
らこれと同時に形成でき、従つて
を得るために工数増加を増加する
ものである。

発明の他の実施例で、N層基板
1領域21上にNチャネルを形成
である。この場合はP-well領域
コンデンサを形成するため、半導体價
逆になり、電極23に正電圧を印
セル層25'を形成する。またN'
と電圧を、P-well領域21にP'
て負電圧をそれぞれ印加する。そ
作用効果は前記実施例と対応して得

えることができるので、対応箇所には同一符号
を用い、これにダッシュを付して説明を省略
する。

以上説明した如く本発明によれば、寄生容量に
よる影響を防止できるから非電圧依存性のMOS
型コンデンサが得られ、工数増加がないか
らコスト面でも有利化されたMOS型コンデン
サが提供できる。

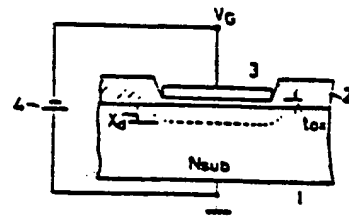
図面の簡単な説明

第1図、第2図は従来のMOS型コンデンサ
の構成図、第3図は本発明の一実施例の構成図、
第4図(a)、(b)は同構成の一部詳細図、第5図は
本発明の他の実施例の構成図である。

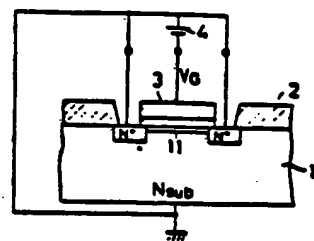
11…N層基板、22…絶縁膜、23…電極、
24…P⁺層、25…直交電極。

出願人代理人 弁護士 角 江 武 彦

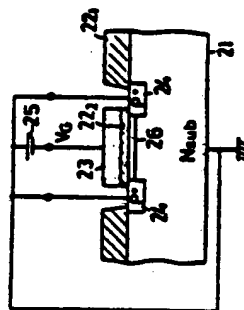
第1図



第2図



第3図



第4図

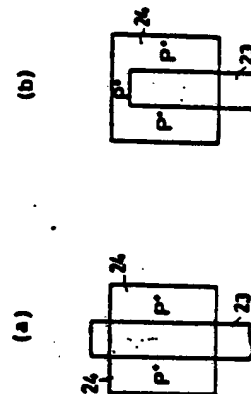


图 5

